

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-030492

(43)Date of publication of application : 28.01.2000

(51)Int.Cl.

G11C 29/00
G01R 31/28

(21)Application number : 10-210302

(71)Applicant : NEC CORP

(22)Date of filing : 10.07.1998

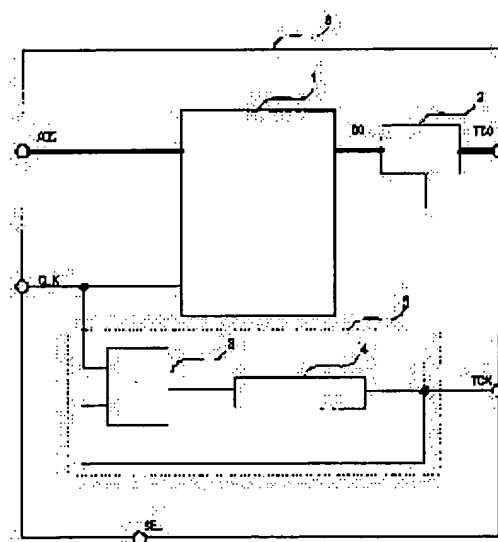
(72)Inventor : KURIHARA SATORU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit which is not influenced by wiring delay, etc., in a semiconductor chip, and also permits to measure the characteristic of an access time measuring circuit of the memory from the outside of the semiconductor chip.

SOLUTION: A data output DO of a memory circuit 1 is inputted to a flip-flop circuit 2. The output signal, TDO of the flip-flop circuit 2 is led to an signal output terminal outside of a semiconductor chip. The memory circuit 1 operates reading synchronizing with the memory clock signal CLK, while the memory clock signal CLK passes through a selection circuit 3 and a delay circuit 4 and controls signal holding operation of the flip-flop circuit 2 as a holding clock signal TCK for the flip-flop circuit 2. The delay circuit 4 can vary a delay time from the outside of the semiconductor chip. Further, the holding clock signal TCK of the flip-flop circuit 2 is inputted to another side of the selection circuit 3, and the selection circuit 3 and the delay circuit 4 operate as an oscillation circuit 5.



LEGAL STATUS

[Date of request for examination] 10.07.1998

[Date of sending the examiner's decision of rejection] 03.09.2002

[Kind of final disposal of application other than the

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-30492

(P2000-30492A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl.	識別記号	F I	ターム(参考)
G 1 1 C 29/00	6 5 9	G 1 1 C 29/00	6 5 9 2 G 0 3 2
G 0 1 R 31/28		G 0 1 R 31/28	V 5 L 1 0 6 B

審査請求 有 請求項の数10 F D (全 9 頁)

(21) 出願番号 特願平10-210302

(22) 出願日 平成10年7月10日 (1998.7.10)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 栗原 悟

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100097113

弁理士 堀 城之

Fターム(参考) 2G032 AA07 AB06 AC05 AD06 AG01

AG07 AH04 AK14 AK15 AL16

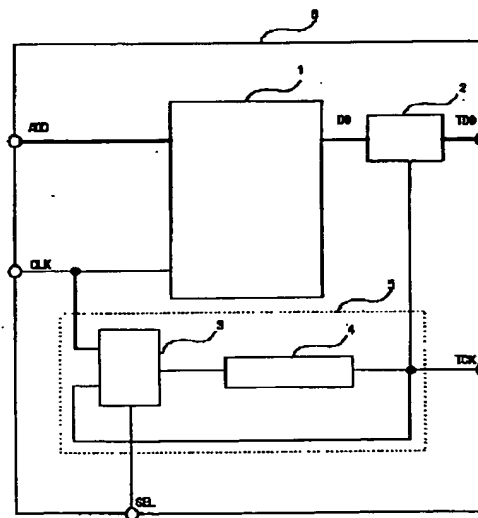
5L106 DD12 DD32 GG03 GG05 GG07

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 半導体チップ内の配線遅延等に影響されず、また、半導体チップ外からメモリのアクセス時間測定回路の特性測定できる半導体集積回路を提供する点にある。

【解決手段】 図1に示すように、本発明の実施の形態1に係る半導体集積回路は、メモリ回路1とフリップフロップ回路2と選択回路3と遅延回路4とで概略構成され、半導体チップ6内に備えられている。また、フリップフロップ回路2は保持回路として用いる。



- 1 メモリ回路
- 2 フリップフロップ回路
- 3 選択回路
- 4 遅延回路
- 5 発振回路

【特許請求の範囲】

【請求項1】 メモリ回路を備え、該メモリ回路のアクセス時間を測定できる半導体集積回路であって、入力信号保持の保持動作を制御できる保持回路と、前記メモリ回路を制御するメモリクロック信号を遅延させる遅延回路と、該遅延回路からの、前記メモリクロック信号を遅延させた出力信号と前記メモリクロック信号とを入力し、入力したこれら2つの信号のうちどちらか一方の信号を選択し、前記遅延回路へ出力する選択回路とを備えたことを特徴とする半導体集積回路。

【請求項2】 前記メモリ回路の信号出力側に備えられた前記保持回路と、前記メモリクロック信号を遅延させたことで得られる、前記保持回路を制御する保持クロック信号を、出力する前記遅延回路と、前記メモリクロック信号と前記保持クロック信号との選択を選択信号により、切り替えることができる前記選択回路とを備えたことを特徴とする、請求項1記載の半導体集積回路。

【請求項3】 前記選択回路と前記遅延回路とで発振動作をする発振回路を備えたことを特徴とする、請求項1又は2記載の半導体集積回路。

【請求項4】 前記選択回路の信号選択を外部から制御するための、前記選択回路から半導体チップの外部に引き出された選択信号線と、前記保持回路からの信号出力を観測するための信号出力端子と、前記保持クロック信号を観測するための信号端子とを備えたことを特徴とする、請求項1乃至3のいずれかに記載の半導体集積回路。

【請求項5】 前記遅延回路は、リングオシレータを構成できる奇数段のインバータ回路と、前記半導体集積回路内の他の回路に供給される電源とは独立して、電源を供給できる遅延回路電源線とを備えたことを特徴とする、請求項1乃至4のいずれかに記載の半導体集積回路。

【請求項6】 前記インバータ回路列の最終段からの出力信号と前記インバータ回路列の途中の段からの出力信号とを入力し、入力したこれら2つの信号のうちどちらか一方の信号を選択し、出力する第2選択回路と、前記第2選択回路の信号選択を外部から制御するための、前記第2選択回路から半導体の外部に引き出された第2選択信号線とを備えたことを特徴とする、請求項1乃至5のいずれかに記載の半導体集積回路。

【請求項7】 前記保持回路としてフリップフロップ回路を備えたことを特徴とする、請求項1乃至6のいずれかに記載の半導体集積回路。

【請求項8】 前記保持回路としてラッチ回路を備えた

ことを特徴とする、請求項1乃至6のいずれかに記載の半導体集積回路。

【請求項9】 メモリ回路のアクセス時間の測定方法であって、選択回路から遅延回路に入力した一方のメモリクロック信号は、前記遅延回路から遅延して出力し、保持回路の保持クロック信号として、前記保持回路がデータを保持するタイミングを決定し、

前記メモリ回路の信号入力は、メモリクロック信号がメモリ回路に入力すると、メモリ回路のアクセス時間だけ遅延したデータ出力となり、該データ出力を前記保持回路へ入力し、

前記遅延回路の遅延量の調整により、前記メモリクロック信号に対する前記保持クロック信号の位相差を変化させて、前記保持回路が前記データ出力を保持できる最小の位相差とし、

前記選択回路の出力選択を切り替え、前記遅延回路から出力した前記保持クロック信号を、前記選択回路に帰還入力し、前記遅延回路へ選択して出力することで、前記選択回路と前記遅延回路とは発振回路として動作し、

該発振回路の発振周期は、前記遅延回路の遅延量に比例することから、前記発振周期を半導体チップ外に引き出された、前記保持回路の前記保持クロック信号の信号端子から前記発振周期を測定し、前記遅延回路の遅延量を求めることにより前記メモリ回路のアクセス時間を測定できることを特徴とする、メモリ回路のアクセス時間測定方法。

【請求項10】 請求項9に記載されたメモリ回路のアクセス時間測定方法を実行可能なプログラムが記録された記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、特にメモリ回路を備え、該メモリ回路のアクセス時間を測定できる半導体集積回路に属する。

【0002】

【従来の技術】近年の半導体集積回路の大規模化、多機能化、高性能化に伴い同一半導体チップ内にRAM、ROMなどのメモリの機能を内蔵したものが一般化している。また、半導体集積回路においてはプロセスのばらつき等によりその動作遅延時間が大きくばらつくことがある。

【0003】したがって、内蔵メモリの動作遅延量のばらつきを精度良く試験することが要請されているが、内蔵メモリの高速化に伴い、その遅延時間の測定が困難になってきている。従来、この種の測定を行うために、例えば特開平6-27205号公報には、メモリへの入力信号に同期した信号を半導体チップ内で発生させ、その信号により出力信号を保持する回路を設けることによる試験技術が記載されている。

【0004】図6は、従来のメモリアクセス時間測定回路の一例を示すブロック図である。被測定回路である記憶回路9の信号入力に対して遅延したフリップフロップ回路12（以下FF回路と称す）の保持クロック信号TCKを遅延回路10により発生させる。FF回路12の保持クロック信号TCKは記憶回路9のデータ出力DOに接続されたFF回路に入力され、FF回路の保持動作を制御する。遅延回路10の出力信号は同時に遅延回路10と同種の遅延素子で構成された遅延回路11を通して半導体チップ外に引き出されている。

【0005】次に動作を説明する。記憶回路9にメモリクロック信号CLKで示した信号が入力されると、メモリのアクセス時間だけ遅れてデータ出力DOに出力される。また、FF回路12の保持クロック信号TCKはメモリクロック信号CLKに対して遅延回路10の遅延量だけ遅れて入力される。

【0006】また、遅延回路10、11に供給される電源は、他の回路の電源とは別系統になっているので、供給される電源電圧を変化させることで、遅延回路10、11の遅延量を変化させることができる。

【0007】従来の試験回路で、メモリのアクセスタイムを測定するには、遅延回路10の遅延量を変化させて、FF回路12が記憶回路9の出力データとして期待されるデータを保持できる最小の遅延量を与える条件を求める。この時、遅延回路10の遅延量が記憶回路9のアクセスタイムという事になる。

【0008】遅延回路10の遅延量は次のようにして求める。前記の遅延条件のもとで、メモリクロック信号CLKを入力し、メモリクロック信号CLKと遅延回路11の出力端子CKOの信号の位相差を計測する。遅延回路10と遅延回路11の遅延素子の段数はそれぞれ既知であるので、両者の遅延素子の段数の比とメモリクロック信号CLKと出力端子CKOの信号の位相差から、遅延回路10の遅延量を計算することができる。

【0009】

【発明が解決しようとする課題】しかしながら、従来技術においては以下に掲げる問題点があった。第1の問題点は、メモリのアクセス時間の絶対値を正確に求めることが困難なことである。その理由は、テスト信号を発生させる回路に使用している遅延回路10および遅延回路11に使用している遅延素子の特性のばらつきが存在するという事実と、遅延回路10から半導体チップ外までに存在する配線遅延や入出力バッファの影響により遅延回路10、11の遅延量を正確に測定することが困難なことである。

【0010】第2の問題点は、測定を精度良く行うためには高性能の測定器が必要なことである。その理由は、メモリのアクセス時間は数ns程度と短く、メモリクロック信号CLKと遅延回路11の出力端子CKOの信号の位相差もそれほど大きくはならないので、非常に高速

な測定器を用いて計測を行わないと、十分な精度が得られないからである。メモリクロック信号CLKと遅延回路11の出力端子CKOの信号の位相差を大きくするために遅延回路11の段数を増やすと、それだけ遅延素子が増えるのでそれらの特性のばらつき等による影響も大きくなり、試験回路の占める面積が増大する。

【0011】本発明は、斯かる問題点を鑑みてなされたものであり、その目的とするところは、半導体チップ内の配線遅延等に影響されず、また、半導体チップ外からメモリのアクセス時間測定回路の特性測定できる半導体集積回路を提供する点にある。

【0012】

【課題を解決するための手段】請求項1記載の本発明の要旨は、メモリ回路を備え、該メモリ回路のアクセス時間を測定できる半導体集積回路であって、入力信号保持の保持動作を制御できる保持回路と、前記メモリ回路を制御するメモリクロック信号を遅延させる遅延回路と、該遅延回路からの、前記メモリクロック信号を遅延させた出力信号と前記メモリクロック信号とを入力し、入力したこれら2つの信号のうちどちらか一方の信号を選択し、前記遅延回路へ出力する選択回路とを備えたことを特徴とする半導体集積回路に存する。請求項2記載の本発明の要旨は、前記メモリ回路の信号出力側に備えられた前記保持回路と、前記メモリクロック信号を遅延させたことで得られる、前記保持回路を制御する保持クロック信号を、出力する前記遅延回路と、前記メモリクロック信号と前記保持クロック信号との選択を選択信号により、切り替えることができる前記選択回路を備えたことを特徴とする、請求項1記載の半導体集積回路に存する。請求項3記載の本発明の要旨は、前記選択回路と前記遅延回路とで発振動作をする発振回路を備えたことを特徴とする、請求項1又は2記載の半導体集積回路に存する。請求項4記載の本発明の要旨は、前記選択回路の信号選択を外から制御するための、前記選択回路から半導体チップの外部に引き出された選択信号線と、前記保持回路からの信号出力を観測するための信号出力端子と、前記保持クロック信号を観測するための信号端子とを備えたことを特徴とする、請求項1乃至3のいずれかに記載の半導体集積回路に存する。請求項5記載の本発明の要旨は、前記遅延回路は、リングオシレータを構成できる奇数段のインバータ回路と、前記半導体集積回路内の他の回路に供給される電源とは独立して、電源を供給できる遅延回路電源線とを備えたことを特徴とする、請求項1乃至4のいずれかに記載の半導体集積回路に存する。請求項6記載の本発明の要旨は、前記インバータ回路列の最終段からの出力信号と前記インバータ回路列の途中の段からの出力信号とを入力し、入力したこれら2つの信号のうちどちらか一方の信号を選択し、出力する第2選択回路と、前記第2選択回路の信号選択を外から制御するための、前記第2選択回路から半導体の外

部に引き出された第2選択信号線とを備えたことを特徴とする、請求項1乃至5のいずれかに記載の半導体集積回路に存する。請求項7記載の本発明の要旨は、前記保持回路としてフリップフロップ回路を備えたことを特徴とする、請求項1乃至6のいずれかに記載の半導体集積回路に存する。請求項8記載の本発明の要旨は、前記保持回路としてラッチ回路を備えたことを特徴とする、請求項1乃至6のいずれかに記載の半導体集積回路に存する。請求項9記載の本発明の要旨は、メモリ回路のアクセス時間の測定方法であって、選択回路から遅延回路に10 入力した一方のメモリクロック信号は、前記遅延回路から遅延して出力し、保持回路の保持クロック信号として、前記保持回路がデータを保持するタイミングを決定し、前記メモリ回路の信号入力、メモリクロック信号がメモリ回路に入力すると、メモリ回路のアクセス時間だけ遅延したデータ出力となり、該データ出力を前記保持回路へ入力し、前記遅延回路の遅延量の調整により、前記メモリクロック信号に対する前記保持クロック信号の位相差を変化させて、前記保持回路が前記データ出力を保持できる最小の位相差とし、前記選択回路の出力選10 択を切り替え、前記遅延回路から出力した前記保持クロック信号を、前記選択回路に帰還入力し、前記遅延回路へ選択して出力することで、前記選択回路と前記遅延回路とは発振回路として動作し、該発振回路の発振周期は、前記遅延回路の遅延量に比例することから、前記発振周期を半導体チップ外に引き出された、前記保持回路の前記保持クロック信号の信号端子から前記発振周期を測定し、前記遅延回路の遅延量を求めることにより前記メモリ回路のアクセス時間を測定できることを特徴とする、メモリ回路のアクセス時間測定方法に存する。請求項10記載の本発明の要旨は、請求項9に記載されたメモリ回路のアクセス時間測定方法を実行可能なプログラムが記録された記憶媒体に存する。

【0013】

【発明の実施の形態】（実施の形態1）次に、本発明の実施の形態1について図面を参照して詳細に説明する。図1に示すように、本発明の実施の形態1に係る半導体集積回路は、メモリ回路1とフリップフロップ回路2と選択回路3と遅延回路4とで概略構成され、半導体チップ6内に備えられている。また、フリップフロップ回路2は保持回路として用いる。

【0014】メモリ回路1のデータ出力DOはフリップフロップ回路2に入力されている。フリップフロップ回路2の信号出力TDOは、半導体チップ外の信号出力端子に引き出されている。メモリ回路1はメモリクロック信号CLKに同期して、読み出し動作を行ない、他方、メモリクロック信号CLKは、選択回路3と遅延回路4を通してフリップフロップ回路2の保持クロック信号TCKとして、フリップフロップ回路2の信号保持動作を10 制御する。遅延回路4は半導体チップ外よりその遅延量

を変化させることができる。さらにフリップフロップ回路2の保持クロック信号TCKは選択回路3の他の一方に15 入力されていて、選択回路3と遅延回路4とで発振回路5として動作する。

【0015】選択回路3の動作モードは、半導体チップ外に引き出された選択信号線から、動作モードの制御信号SELで選択されるので、半導体チップ外から選択回路3の動作モードを制御することが可能である。選択回路3の出力にメモリクロック信号CLKの信号が出力されるモードにしたときは選択回路3と遅延回路4は通常の遅延回路4として動作し、選択回路3の出力にフリップフロップ回路2の保持クロック信号TCKの信号が出力されるモードにしたときは、選択回路3と遅延回路420 によって発振回路として動作し、遅延量に対応した発振周期で、発振動作を行う。図3と図4は、発振回路5の構成を示すブロック図である。

【0016】以上の構成について、具体例を用いて説明する。図1の選択回路3と遅延回路4とによって構成されている発振回路4の一例を、図3を参照して説明する。

【0017】遅延回路4はインバータ回路7が直列に接続された回路である。これらのインバータ回路7の接続段数は遅延回路4の遅延量を求めるためにリングオシレータを構成できるように奇数段になるようにしておく。また、インバータ回路7に供給される遅延回路電源VD25 DXは半導体チップの他の回路に供給される電源線とは別系統にしており、遅延回路電源線として半導体チップ外に引き出される。

【0018】選択回路3'の入力端Aからの入力信号は選択回路3'を通してインバータ回路7の列で構成される遅延回路4に入力される。選択回路3'のもう一方の信号入力には、遅延回路4の出力端Bからの信号が入力されており、動作モードの制御信号SELによって、両者のいずれかの信号が出力される。インバータ回路7の段数は奇数になるように構成し、動作モードの制御信号SELの論理を設定し、遅延回路4の出力端Bの信号が選択回路の出力に現れるようにすると、選択回路とインバータ回路7の列によってリングオシレータが構成され、インバータ列7と選択回路による遅延量に比例した発振周期で発振を始める。

【0019】次に、図面を用いて動作の説明をする。図1のメモリ回路1はメモリクロック信号CLKに同期して動作するので、メモリクロック信号CLKの入力後メモリ回路1のアクセス時間 t_{aa} だけ遅れてデータ出力DOとなる。

【0020】あらかじめ選択回路3の動作モードの制御信号SELの論理設定により、遅延回路4の出力にメモリクロック信号CLKを遅延させた信号が出力されるようにしておく。一方のメモリクロック信号CLKはメモリ回路1に入力され、他方のメモリクロック信号CLK

は、遅延回路4によって遅延されて、フリップフロップ回路2の保持クロック信号TCKとして、フリップフロップ回路2がデータを保持するタイミングを決める。フリップフロップ回路2が保持した信号は半導体チップ外に出力され、信号出力端子にて観測される。

【0021】次に、メモリクロック信号CLKに対するフリップフロップ回路2の保持クロック信号TCKの位相差を遅延回路4の遅延量を調整することにより変化させ、メモリ回路1の出力データをフリップフロップ回路2が保持できる最小の位相差になるよう遅延条件を調整する。

【0022】この時のメモリクロック信号CLKとフリップフロップ回路2の保持クロック信号TCKの位相差がメモリ回路1のアクセス時間 t_{aa} となる。遅延回路4の遅延量は半導体チップ外から制御できるようにしておく。

【0023】図2は以上の動作を示す波形図である。メモリ回路の信号入力ADDは、メモリクロック信号CLK信号の立ち上がるタイミングに対して、適当なセットアップ時間を持ってメモリ回路1に入力されている。メモリクロック信号CLKがメモリ回路1に入力されると、メモリ回路1のアクセス時間 t_{aa} だけ遅れてデータ出力DOが変化する。

【0024】データ出力DOの変化後に、フリップフロップ回路2の保持クロック信号TCKを入力した時点で、フリップフロップ回路2に入力されている信号が保持されてフリップフロップ回路2の信号出力TDOとして出力される。フリップフロップ回路2の保持クロック信号TCKの位相はメモリクロック信号CLKに対して図1の遅延回路4の遅延量 t_{dly} 分だけ遅れている。

【0025】すなわち、メモリ回路1にメモリクロック信号CLKの立上り信号が入力されて、アクセス時間 t_{aa} 後にデータ出力DOされる。データ出力DOが入力されているフリップフロップ回路2は保持クロック信号TCKの立上りの時点の入力信号を保持して出力するので、保持クロック信号TCKの立ち上がった瞬間のデータ出力DOが信号出力TDOとなる。

【0026】従って、遅延量 $t_{dly} < \text{アクセス時間 } t_{aa}$ の条件ではフリップフロップ回路2の入力にはまだメモリ回路1の正しい出力信号が入っていないので、信号出力TDOにも正しい出力信号が出力されない。

【0027】以上のように、信号出力TDOにメモリ回路1の出力信号として、既知の信号が出力されているかどうかで、遅延量 $t_{dly} < \text{アクセス時間 } t_{aa}$ の状態か、遅延量 $t_{dly} > \text{アクセス時間 } t_{aa}$ の遅延条件になっているかを判断できるので、遅延量 t_{dly} を変化させて遅延量 $t_{dly} < \text{アクセス時間 } t_{aa}$ と遅延量 $t_{dly} > \text{アクセス時間 } t_{aa}$ の境界の遅延条件になっている状態、すなわち遅延量 $t_{dly} = \text{アクセス時間 } t_{aa}$ となる遅延条件を見つける事によってアクセス時間 t_{aa}

を測定できる。

【0028】次に、遅延回路4の遅延条件を上記と同じ状態に保ったまま、動作モードの制御信号SELの論理を切り替え、選択回路3が遅延回路4の出力信号を選択して、選択回路3の出力に遅延回路4の出力信号が現れるようにする。このとき選択回路3と遅延回路4は発振回路として動作する。その発振周期は、遅延回路4の遅延量 t_{dly} に比例している（遅延時間の2倍の周期で発振）。この発振周期は半導体チップ外に引き出されたフリップフロップ回路2の保持クロック信号TCKの信号端子から観測できる。前記発振周期を測定することによって遅延回路4の遅延量を具体的に求めることができ、メモリのアクセス時間を測定できる。

【0029】図5に、本発明の実施の形態に係る半導体集積回路の動作のフローチャートを示す。

【0030】以上の動作について、図を用いて具体例を説明する。図3の遅延回路電源VDDXは、遅延回路を構成するインバータ回路7に電源を供給する。遅延回路電源VDDXは、遅延回路電源として半導体チップ外に引き出されており、半導体チップ内の他の回路の電源電圧とは独立に印加する電源電圧を設定することができる。

【0031】遅延回路電源VDDXに印加する電圧を変化させると、インバータ回路7の遅延量が変化する。インバータ回路7の列で構成された遅延回路の遅延量も変化する。すなわち、この遅延回路の遅延量は遅延回路電源VDDXの電圧によって制御することができる。選択回路3'の出力に入力信号Aが選択出力され、遅延回路へ入力するように動作モードの制御信号SELを設定すると、この回路は通常の遅延回路として動作する。動作モードの制御信号SELの論理を切り替えて、選択回路3'の出力に遅延回路の出力信号Bが出力されるようにすると、選択回路3'とインバータ回路7の列はリングオシレータを構成し、その遅延量に比例した周期で発振をする。

【0032】実施の形態1に係る半導体集積回路は、上記のごとく構成されているので以下に掲げる効果を奏する。アクセス時間の測定に必要な遅延回路やフリップフロップ回路等の測定に必要な回路は、全て被測定回路のメモリ回路と同一の半導体チップ内に作り込まれ、測定の確度低下の原因となる配線の配線長等を最短にすることにより、配線遅延などの影響を小さくすることができ、又、アクセス時間測定の精度に関わる遅延回路の遅延値を周波数に変換して測定するため、配線遅延などの影響を受けないので、メモリのアクセス時間を高精度で測定できる。また、集積回路内の遅延量の測定を周波数に置き換えて測定できるため、上記の測定を行う際に高性能の試験装置を必要としない。

【0033】（実施の形態2）次に、本発明の実施の形態2について図面を参照して詳細に説明する。図1の選

択回路3と遅延回路4とによって構成されている発振回路4の一例を、図4を参照して説明する。

【0034】実施の形態2において、遅延回路はインバータ回路7'を直列に接続した構成で、A'からの入力と、遅延出力の信号B'とを選択回路3'に inputsし、動作モードの制御信号SELによって遅延回路としての動作とリングオシレータとして動作するモードとを切り替えることは実施の形態1と同様であるが、インバータ回路7'の列の最終段と最終段の2段前から信号を第2選択回路8に inputsしている、これらの信号線C、Dからの信号うちのいずれかが第2選択回路8によって選択され、B'に出力される。

【0035】選択回路の選択動作を制御する遅延段数調整用の第2選択回路8の切替信号SELDは半導体チップ外に引き出されている第2選択信号線を介して、半導体チップ外から第2選択回路を制御でき、インバータ回路7'の段数を変化させ、遅延回路の遅延量を可変にしている。

【0036】なお、図4では、インバータ列の途中一カ所からと最終段からの信号線を取り出した例を示したが、インバータ列の途中の複数箇所から信号線を取り出すことによって、遅延量を変化させる範囲を広げることにも可能である。

【0037】実施の形態2に係るメモリ回路のアクセス時間を測定できる半導体集積回路は、上記のごとく構成されているので実施の形態1の奏する効果の他に以下に掲げる効果を奏する。インバータ列の途中から信号線を取り出すことによって遅延量を変化させる範囲を広げることが可能である。

【0038】また、本発明の実施の形態1、2ではメモリ回路1のデータ出力をフリップフロップ回路にて保持しているが、これをラッチ回路に置き換えることも可能である。

【0039】

【発明の効果】本発明は、以上のように構成されているので、以下に掲げる効果を奏する。第1の効果は、メモリのアクセス時間を高精度で測定できることである。その理由は、アクセス時間の測定に必要な遅延回路やフリップフロップ回路2等の測定に必要な回路は全て被測定回路のメモリ回路1と同一の半導体チップ内に作り込まれ、測定の精度低下の原因となる配線の配線長等を最短にすることによって、配線遅延などの影響を小さくすることができるからである。また、アクセス時間測定の精度に関わる遅延回路の遅延値を周波数に変換して測定するため、配線遅延などの影響を受けないからである。

【0040】第2の効果は、上記の測定を行う際に高性能の試験装置を必要としないことである。その理由は、集積回路内の遅延量の測定を周波数に置き換えて測定できるためである。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る半導体集積回路のブロック図である。

【図2】本発明の実施の形態に係る半導体集積回路の動作を示す波形図である。

10 【図3】図1の発振回路の一例を示すブロック図である。

【図4】図1の発振回路の一例を示すブロック図である。

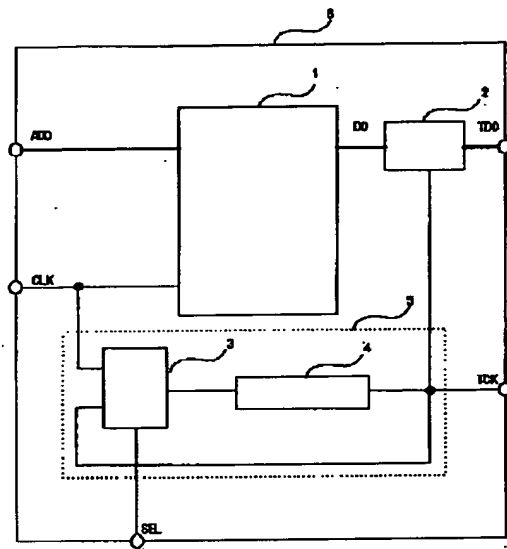
【図5】本発明の実施の形態に係る半導体集積回路の動作を示すフローチャートである。

【図6】従来技術の一例を示す回路のブロック図である。

【符号の説明】

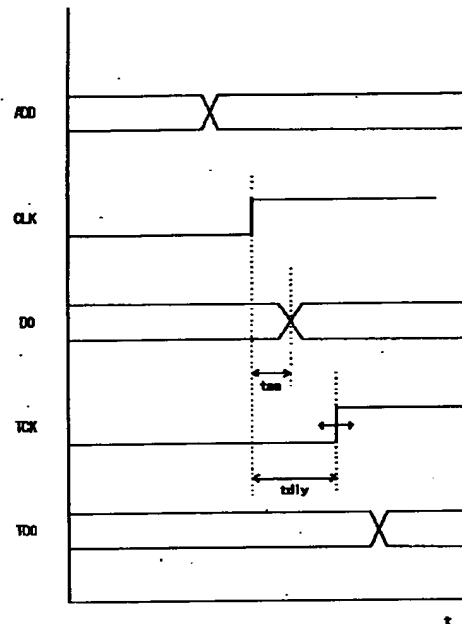
A、A' 入力信号
ADD メモリ回路の信号
B、B' 遅延回路の出力信号
C 信号線
CKO 出力端子
CLK メモリクロック信号
D 信号線
DO データ出力
SEL 動作モードの制御信号
SELD 第2選択回路の切り替え信号
TCK 保持クロック信号
30 TDO 信号出力
taa メモリ回路のアクセス時間
tdly 遅延回路の遅延量
VDDX 遅延回路電源
1 メモリ回路
2 フリップフロップ回路
3、3'、3'' 選択回路
4 遅延回路
5 発振回路
6 半導体チップ
40 7、7' インバータ回路
8 第2選択回路
9 記憶回路
10、11 遅延回路
12 FF回路

【図1】

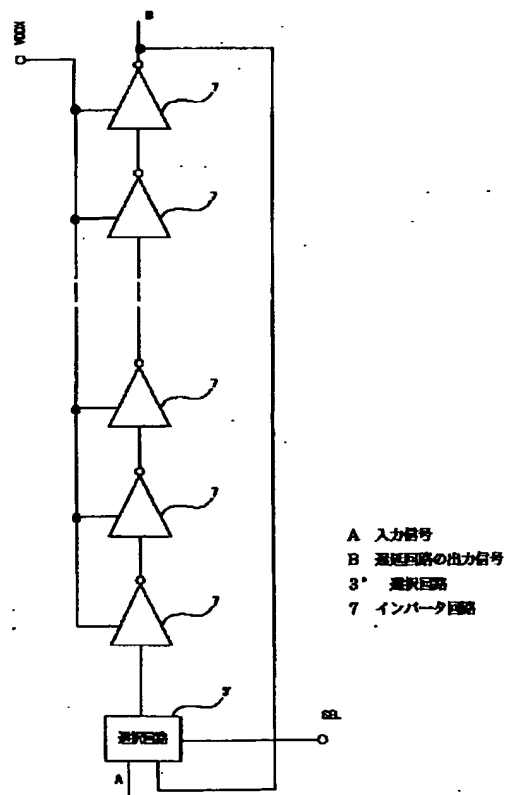


- 1 メモリ回路
- 2 フリップフロップ回路
- 3 選択回路
- 4 遅延回路
- 5 発振回路

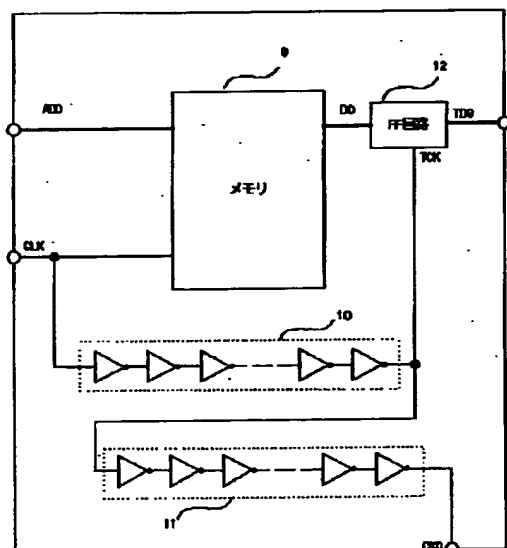
【図2】



【図3】

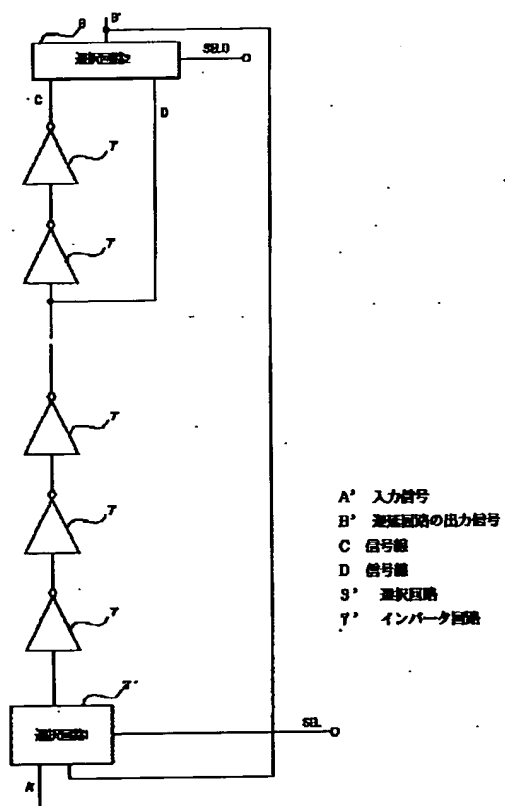


【図6】

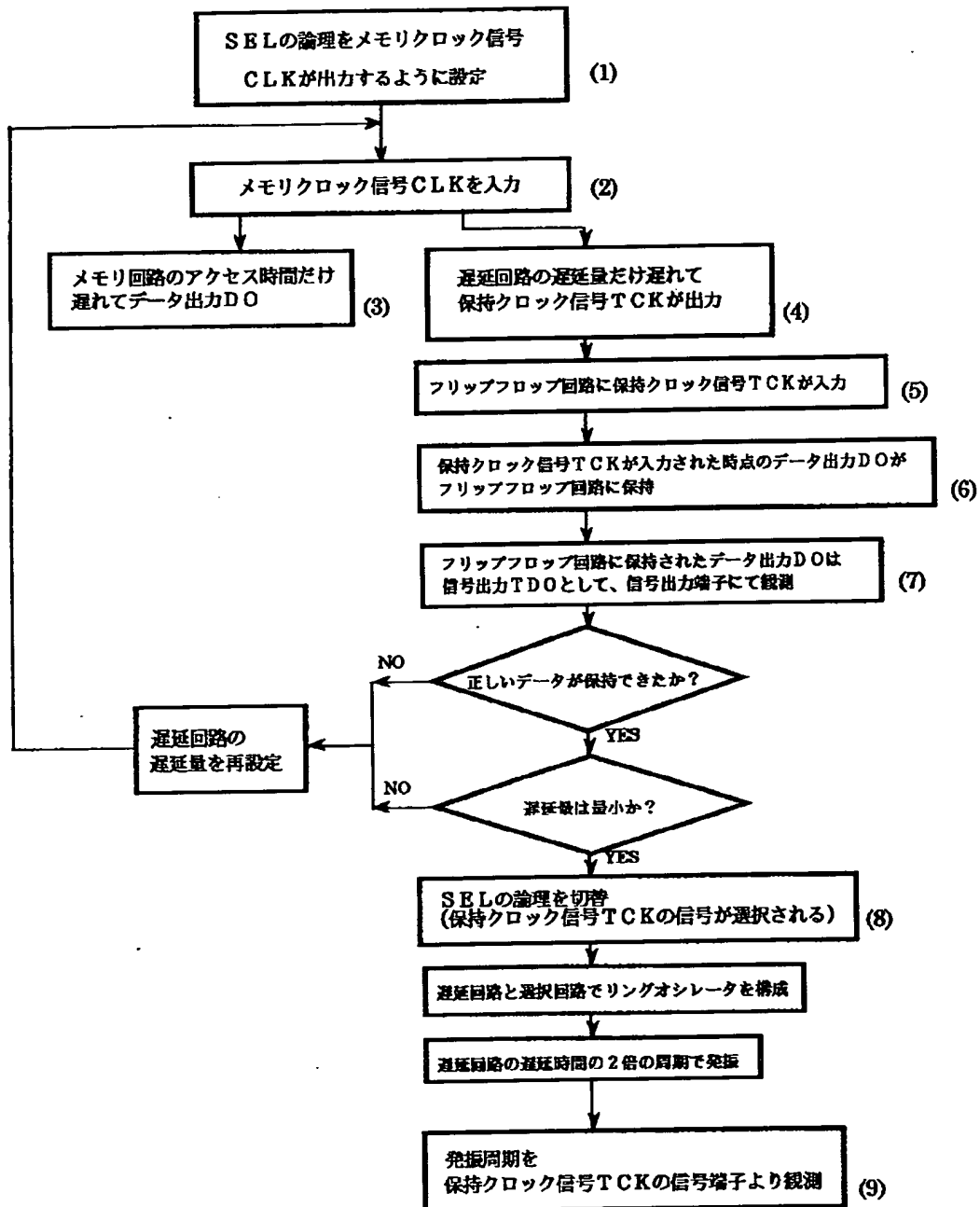


- 9 記憶回路
- 10、11 遅延回路
- 12 FFE回路

【図4】



【図5】



DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention is equipped with a memory circuit, and belongs to the semiconductor integrated circuit which can measure the access time of this memory circuit.

[0002]

[Description of the Prior Art] What built in the function of memory, such as RAM and ROM, in the same semiconductor chip with large-scale-izing of a semiconductor integrated circuit in recent years, multi-functionalization, and high-performance-izing has become common. Moreover, in a semiconductor integrated circuit, the time delay of operation may vary greatly by dispersion in a process etc.

[0003] Therefore, although it is requested that dispersion in the amount of time delay energizing of an internal memory should be examined with a sufficient precision, measurement of the time delay is becoming difficult with improvement in the speed of an internal memory. In order to perform this kind of measurement conventionally, the signal which synchronized with the input signal to memory at JP,6-27205,A is generated within a semiconductor chip, and the trial technique by preparing the circuit which holds an output signal with that signal is indicated.

[0004] Drawing 6 is the block diagram showing an example of the conventional memory-access-time measuring circuit. The maintenance clock signal TCK of the flip-flop circuit 12 (FF circuit is called below) delayed to the signal input of the store circuit 9 which is a measuring circuit-ed is generated by the delay circuit 10. The maintenance clock signal TCK of the FF circuit 12 is inputted into FF circuit connected to data output DO of a store circuit 9, and controls maintenance actuation of FF circuit. The output signal of a delay circuit 10 is pulled out by coincidence out of the semiconductor chip through the delay circuit 10 and the delay circuit 11 which consisted of delay elements of the same kind.

[0005] Next, actuation is explained. If the signal shown in the store circuit 9 with the memory clock signal CLK is inputted, only the access time of memory will be overdue and it will be outputted to data output DO. Moreover, to the memory clock signal CLK, only the amount of delay of a delay circuit 10 is in the maintenance clock signal TCK of the FF circuit 12, and it is inputted.

[0006] Moreover, since the power source supplied to delay circuits 10 and 11 is the power source of other circuits for another network, the amount of delay of delay circuits 10 and 11 can be changed by changing the supply voltage supplied.

[0007] In the conventional test circuit, in order to measure the access time of memory, the amount of delay of a delay circuit 10 is changed, and the conditions which give the minimum amount of delay which can hold the data with which the FF circuit 12 is expected as output data of a store circuit 9 are searched for. At this time, the amount of delay of a delay circuit 10 will call it the access time of a store circuit 9.

[0008] The amount of delay of a delay circuit 10 is calculated as follows. Under the

aforementioned delay conditions, the memory clock signal CLK is inputted and the phase contrast of the memory clock signal CLK and the signal of the output terminal CKO of a delay circuit 11 is measured. Since the number of stages of the delay element of a delay circuit 10 and a delay circuit 11 is known, respectively, the amount of delay of a delay circuit 10 is calculable from the phase contrast of the ratio of the number of stages both delay element, the memory clock signal CLK, and the signal of an output terminal CKO. [0009]

[Problem(s) to be Solved by the Invention] However, there was a trouble hung up over below in the conventional technique. The 1st trouble is that it is difficult to calculate the absolute value of the access time of memory correctly. The reason is that it is difficult to measure correctly the amount of delay of delay circuits 10 and 11 under that dispersion in the property of the delay element currently used for the delay circuit 10 currently used for the circuit which generates a test signal, and a delay circuit 11 exists, and the effect of wiring delay or an input / output buffer which exists even out of a semiconductor chip from a delay circuit 10.

[0010] The 2nd trouble is that the measuring instrument of high performance is the need, in order to measure with a sufficient precision. Since it is short and, as for the access time of memory, the phase contrast of the memory clock signal CLK and the signal of the output terminal CKO of a delay circuit 11 does not become so large with about several ns, either, if the reason does not measure using a very high-speed measuring instrument, its sufficient precision is because it is not obtained. If the number of stages of a delay circuit 11 is increased in order to enlarge phase contrast of the memory clock signal CLK and the signal of the output terminal CKO of a delay circuit 11, since a delay element will increase so much, the effect by dispersion in those properties etc. also becomes large, and the area which a test circuit occupies increases.

[0011] The place which it is made in view of this trouble, and is made into the purpose has this invention in the point of offering the semiconductor integrated circuit which is not influenced by the wiring delay in a semiconductor chip etc., and can carry out property measurement of the access-time measuring circuit of memory from the outside of a semiconductor chip.

[0012]

[Means for Solving the Problem] The holding circuit which is a semiconductor integrated circuit which the summary of this invention according to claim 1 is equipped with a memory circuit, and can measure the access time of this memory circuit, and can control maintenance actuation of input signal maintenance, The delay circuit which delays the memory clock signal which controls said memory circuit, The output signal which delayed said memory clock signal from this delay circuit, and said memory clock signal are inputted, and one of signals are chosen between these [which were inputted] two signals, and it consists in the semiconductor integrated circuit characterized by having the selection circuitry outputted to said delay circuit. The summary of this invention according to claim 2 consists in the semiconductor integrated circuit according to claim 1 characterized by having said delay circuit which outputs the maintenance clock signal which controls said holding circuit with which the signal output side of said memory circuit was equipped, and said holding circuit obtained by having delayed said memory clock signal, and said selection circuitry which can change selection with said memory clock signal and said maintenance clock signal with a selection signal. The summary of

this invention according to claim 3 consists in the semiconductor integrated circuit according to claim 1 or 2 characterized by having the oscillator circuit which carries out oscillation actuation in said selection circuitry and said delay circuit. The summary of this invention according to claim 4 consists in the semiconductor integrated circuit according to claim 1 to 3 characterized by having the selection-signal line pulled out by the exterior of a semiconductor chip, a signal output terminal for observing the signal output from said holding circuit, and a signal terminal for observing said maintenance clock signal from said selection circuitry for controlling signal selection of said selection circuitry from the outside. Said delay circuit consists in the semiconductor integrated circuit according to claim 1 to 4 characterized by equipping independently the power source supplied to the inverter circuit of the odd level from which the summary of this invention according to claim 5 can constitute a ring oscillator, and other circuits in said semiconductor integrated circuit with the delay circuit power-source line which can supply a power source. The summary of this invention according to claim 6 inputs the output signal from the last stage of said inverter circuit train, and the output signal from the stage in the middle of said inverter circuit train. The 2nd selection circuitry which chooses and outputs one of signals between these [which were inputted] two signals, It consists in the semiconductor integrated circuit according to claim 1 to 5 characterized by having the 2nd selection-signal line pulled out by the exterior of a semi-conductor from said 2nd selection circuitry for controlling signal selection of said 2nd selection circuitry from the outside. The summary of this invention according to claim 7 consists in the semiconductor integrated circuit according to claim 1 to 6 characterized by having a flip-flop circuit as said holding circuit. The summary of this invention according to claim 8 consists in the semiconductor integrated circuit according to claim 1 to 6 characterized by having a latch circuit as said holding circuit. The memory clock signal which is one side which the summary of this invention according to claim 9 is the measuring method of the access time of a memory circuit, and was inputted into the delay circuit from the selection circuitry It is delayed from said delay circuit, and outputs, and the timing to which said holding circuit holds data is determined as a maintenance clock signal of a holding circuit. The signal input of said memory circuit If a memory clock signal inputs into a memory circuit, it will become the data output by which only the access time of a memory circuit was delayed, and this data output will be inputted into said holding circuit. By adjustment of the amount of delay of said delay circuit The phase contrast of said maintenance clock signal over said memory clock signal is changed. Said holding circuit considers as the minimum phase contrast which can hold said data output, and changes the output selection of said selection circuitry. With carrying out a feedback input, and choosing and outputting said maintenance clock signal outputted from said delay circuit to said selection circuitry to said delay circuit Said selection circuitry and said delay circuit operate as oscillator circuits. The oscillation period of this oscillator circuit Since it was proportional to the amount of delay of said delay circuit, pulled out said oscillation period out of the semiconductor chip. It consists in the access-time measuring method of a memory circuit characterized by measuring said oscillation period from the signal terminal of said maintenance clock signal of said holding circuit, and being able to measure the access time of said memory circuit by calculating the amount of delay of said delay circuit. The summary of this invention according to claim 10 consists in the storage with which the program which can perform the access-time

measuring method of the memory circuit indicated by claim 9 was recorded.

[0013]

[Embodiment of the Invention] (Gestalt 1 of operation) Next, the gestalt 1 of operation of this invention is explained to a detail with reference to a drawing. As shown in drawing 1, an outline configuration is carried out in a memory circuit 1, a flip-flop circuit 2, a selection circuitry 3, and a delay circuit 4, and it has the semiconductor integrated circuit concerning the gestalt 1 of operation of this invention in the semiconductor chip 6.

Moreover, a flip-flop circuit 2 is used as a holding circuit.

[0014] Data output DO of a memory circuit 1 is inputted into the flip-flop circuit 2. The signal output TDO of a flip-flop circuit 2 is pulled out by the signal output terminal besides a semiconductor chip. A memory circuit 1 performs read-out actuation synchronizing with the memory clock signal CLK, and another side and the memory clock signal CLK control signal maintenance actuation of a flip-flop circuit 2 as maintenance clock signals TCK of a flip-flop circuit 2 through a selection circuitry 3 and a delay circuit 4. A delay circuit 4 can change the amount of delay from the outside of a semiconductor chip. Furthermore, the maintenance clock signal TCK of a flip-flop circuit 2 is inputted into other one side of a selection circuitry 3, and operates as an oscillator circuit 5 in a selection circuitry 3 and a delay circuit 4.

[0015] Since the mode of operation of a selection circuitry 3 is chosen from the selection-signal line pulled out out of the semiconductor chip with the control signal SEL of a mode of operation, it can control the mode of operation of a selection circuitry 3 from the outside of a semiconductor chip. When it is made the mode in which a selection circuitry 3 and a delay circuit 4 operate as usual delay circuits 4, and the signal of the maintenance clock signal TCK of a flip-flop circuit 2 is outputted to the output of a selection circuitry 3 when it is made the mode in which the signal of the memory clock signal CLK is outputted to the output of a selection circuitry 3, by the selection circuitry 3 and the delay circuit 4, it operates as an oscillator circuit, and it is an oscillation period corresponding to the amount of delay, and oscillation actuation is performed. Drawing 3 and drawing 4 are the block diagrams showing the configuration of an oscillator circuit 5.

[0016] The above configuration is explained using an example. An example of the oscillator circuit 4 constituted by the selection circuitry 3 and delay circuit 4 of drawing 1 is explained with reference to drawing 3.

[0017] A delay circuit 4 is a circuit where the inverter circuit 7 was connected to the serial. In order to calculate the amount of delay of a delay circuit 4, it is made for the connection number of stages of these inverter circuits 7 to become odd level so that a ring oscillator can be constituted. Moreover, the delay circuit power source VDDX supplied to an inverter circuit 7 is made into the power-source line supplied to other circuits of a semiconductor chip at another network, and is pulled out out of a semiconductor chip as a delay circuit power-source line.

[0018] The input signal from the input edge A of selection-circuitry 3' is inputted into the delay circuit 4 which consists of trains of an inverter circuit 7 through selection-circuitry 3'. The signal from the outgoing end B of a delay circuit 4 is inputted into another signal input of selection-circuitry 3', and one signal of both is outputted to it by the control signal SEL of a mode of operation. A ring oscillator will be constituted by the train of a selection circuitry and the inverter circuit 7, and the number of stages of the inverter circuit 7 will begin an oscillation the oscillation period proportional to the amount of

delay by the inverter train 7 and the selection circuitry, if it constitutes so that it may become odd number, and the logic of the control signal SEL of a mode of operation is set up and it is made for the signal of the outgoing end B of a delay circuit 4 to appear in the output of a selection circuitry.

[0019] Next, actuation is explained using a drawing. Since the memory circuit 1 of drawing 1 operates synchronizing with the memory clock signal CLK, only the access time t_{aa} of the memory circuit 1 after an input of the memory clock signal CLK is in it, and it serves as data output DO.

[0020] The signal which delayed the memory clock signal CLK to the output of a delay circuit 4 is made to be outputted by logic setup of the control signal SEL of the mode of operation of a selection circuitry 3 beforehand. One memory clock signal CLK is inputted into a memory circuit 1, and the memory clock signal CLK of another side is delayed by the delay circuit 4, and determines the timing to which a flip-flop circuit 2 holds data as a maintenance clock signal TCK of a flip-flop circuit 2. The signal which the flip-flop circuit 2 held is outputted out of a semiconductor chip, and is observed in a signal output terminal.

[0021] Next, the phase contrast of the maintenance clock signal TCK of the flip-flop circuit 2 to the memory clock signal CLK is changed by adjusting the amount of delay of a delay circuit 4, and delay conditions are adjusted so that it may become the minimum phase contrast to which a flip-flop circuit 2 can hold the output data of a memory circuit 1.

[0022] The phase contrast of the memory clock signal CLK at this time and the maintenance clock signal TCK of a flip-flop circuit 2 serves as the access time t_{aa} of a memory circuit 1. It enables it to control the amount of delay of a delay circuit 4 from the outside of a semiconductor chip.

[0023] Drawing 2 is the wave form chart showing the above actuation. The signal input ADD of a memory circuit is inputted into the memory circuit 1 with the suitable setup time to the timing to which a memory clock signal CLK signal starts. If the memory clock signal CLK is inputted into a memory circuit 1, only the access time t_{aa} of a memory circuit 1 will be overdue, and data output DO will change.

[0024] After change of data output DO, when the maintenance clock signal TCK of a flip-flop circuit 2 is inputted, the signal inputted into the flip-flop circuit 2 is held, and it is outputted as a signal output TDO of a flip-flop circuit 2. The phase of the maintenance clock signal TCK of a flip-flop circuit 2 is behind by the amount t_{dly} of delay of the delay circuit 4 of drawing 1 to the memory clock signal CLK.

[0025] That is, the standup signal of the memory clock signal CLK is inputted into a memory circuit 1, and data output DO is carried out after the access time t_{aa} . Since the flip-flop circuit 2 where data output DO is inputted holds and outputs the input signal at the time of the standup of the maintenance clock signal TCK, data output DO of the moment the maintenance clock signal TCK started serves as the signal output TDO.

[0026] Therefore, since the right output signal of a memory circuit 1 is not contained in the input of a flip-flop circuit 2 yet on condition that the amount t_{dly} of delay $<$ access time t_{aa} , a right output signal is not outputted to the signal output TDO, either.

[0027] As mentioned above, with whether the known signal is outputted to the signal output TDO as an output signal of a memory circuit 1 Since it can judge whether they have been the delay conditions of the amount $t_{dly} <$ condition [of the access time t_{aa}],

and amount tdy of delay> access time taa of delay It is the access time taa by finding the condition which the amount tdy of delay is changed and has been the delay conditions of the boundary of the amount tdy <access-time taa and amount tdy of delay> access time taa of delay, i.e., the delay conditions used as the amount tdy of delay = access time taa. It can measure.

[0028] Next, the logic of the control signal SEL of a mode of operation is changed, a selection circuitry 3 chooses the output signal of a delay circuit 4, maintaining the delay conditions of a delay circuit 4 at the same condition as the above, and it is made for the output signal of a delay circuit 4 to appear in the output of a selection circuitry 3. At this time, a selection circuitry 3 and a delay circuit 4 operate as oscillator circuits. The oscillation period is proportional to the amount tdy of delay of a delay circuit 4 (it oscillates by one twice the period of a time delay). This oscillation period can be observed from the signal terminal of the maintenance clock signal TCK of the flip-flop circuit 2 pulled out out of the semiconductor chip. By measuring said oscillation period, the amount of delay of a delay circuit 4 can be calculated concretely, and the access time of memory can be measured.

[0029] The flow chart of actuation of the semiconductor integrated circuit applied to the gestalt of operation of this invention at drawing 5 is shown.

[0030] About the above actuation, an example is explained using drawing. The delay circuit power source VDDX of drawing 3 supplies a power source to the inverter circuit 7 which constitutes a delay circuit. The delay circuit power source VDDX is pulled out out of the semiconductor chip as a delay circuit power source, and can set up the supply voltage impressed independently of the supply voltage of other circuits in a semiconductor chip.

[0031] If the electrical potential difference impressed to the delay circuit power source VDDX is changed, since the amount of delay of an inverter circuit 7 will change, the amount of delay of the delay circuit which consisted of trains of an inverter circuit 7 also changes. That is, the amount of delay of this delay circuit is controllable by the electrical potential difference of the delay circuit power source VDDX. The selection output of the input signal A is carried out at the output of selection-circuitry 3', and if the control signal SEL of a mode of operation is set up so that it may input to a delay circuit, this circuit will operate as a usual delay circuit. If the logic of the control signal SEL of a mode of operation is changed and the output signal B of a delay circuit is made to be outputted to the output of selection-circuitry 3', the train of selection-circuitry 3' and an inverter circuit 7 will constitute a ring oscillator, and will oscillate with the period proportional to the amount of delay.

[0032] Since the semiconductor integrated circuit concerning the gestalt 1 of operation is constituted like the above, it does so the effectiveness hung up over below. A circuit required for measurement of a delay circuit required for measurement of the access time, a flip-flop circuit, etc. By making into the shortest the wire length of wiring which is altogether made in the same semiconductor chip as the memory circuit of a measuring circuit-ed, and causes [of measurement] an accuracy fall etc. Effect of wiring delay etc. can be made small, and since it is not influenced of wiring delay etc. in order to change and measure the delay value of the delay circuit in connection with access-time measuring accuracy in a frequency, the access time of memory can be measured with high degree of accuracy. Moreover, since measurement of the amount of delay in an

integrated circuit is transposed to a frequency and can be measured, in case the above-mentioned measurement is performed, the testing device of high performance is not needed.

[0033] (Gestalt 2 of operation) Next, the gestalt 2 of operation of this invention is explained to a detail with reference to a drawing. An example of the oscillator circuit 4 constituted by the selection circuitry 3 and delay circuit 4 of drawing 1 is explained with reference to drawing 4.

[0034] It is the configuration that the delay circuit connected inverter circuit 7' to the serial in the gestalt 2 of operation. Although it is the same as that of the gestalt 1 of operation to input the input from A' and signal B' of a delay output into selection-circuitry 3", and to change the actuation as a delay circuit and the mode in which it operates as a ring oscillator, with the control signal SEL of a mode of operation the signal from these signal lines C and D which has inputted the signal into the 2nd selection circuitry 8 from before the last stage of the train of inverter circuit 7', and two steps of last stages -- inner either is chosen by the 2nd selection circuitry 8, and is outputted to B'.

[0035] Through the 2nd selection-signal line currently pulled out of the semiconductor chip, the change signal SELD of the 2nd selection circuitry 8 for delay number-of-stages adjustment which controls selection actuation of a selection circuitry can control the 2nd selection circuitry from the outside of a semiconductor chip, changes the number of stages of inverter circuit 7', and makes the amount of delay of a delay circuit adjustable.

[0036] In addition, although drawing 4 showed the example which took out the signal line from the last stage from one place in the middle of the inverter train, it is also possible to extend the range to which the amount of delay is changed by taking out a signal line from two or more [in the middle of an inverter train].

[0037] Since the semiconductor integrated circuit which can measure the access time of the memory circuit concerning the gestalt 2 of operation is constituted like the above, it does so the effectiveness hung up over the following other than the effectiveness that the gestalt 1 of operation does so. It is possible by taking out a signal line from the middle of an inverter train to extend the range to which the amount of delay is changed.

[0038] Moreover, although the data output of a memory circuit 1 is held with the gestalten 1 and 2 of operation of this invention in the flip-flop circuit, it is also possible to transpose this to a latch circuit.

[0039]

[Effect of the Invention] Since this invention is constituted as mentioned above, it does so the effectiveness hung up over below. The 1st effectiveness is being able to measure the access time of memory with high degree of accuracy. It is because effect of wiring delay etc. can be made small by making into the shortest the wire length of wiring which all of the delay circuit which needs the reason for measurement of the access time, or a circuit required for measurement of flip-flop circuit 2 grade are made in the same semiconductor chip as the memory circuit 1 of a measuring circuit-ed, and causes [of measurement] an accuracy fall etc. Moreover, it is because it is not influenced of wiring delay etc. in order to change and measure the delay value of the delay circuit in connection with access-time measuring accuracy in a frequency.

[0040] In case the 2nd effectiveness performs the above-mentioned measurement, it is not needing the testing device of high performance. The reason is because measurement

of the amount of delay in an integrated circuit is transposed to a frequency and can be measured.

CLAIMS

[Claim(s)]

[Claim 1] The holding circuit which is a semiconductor integrated circuit which is equipped with a memory circuit and can measure the access time of this memory circuit, and can control maintenance actuation of input signal maintenance, The delay circuit which delays the memory clock signal which controls said memory circuit, The semiconductor integrated circuit which inputs the output signal which delayed said memory clock signal from this delay circuit, and said memory clock signal, and is characterized by having the selection circuitry which chooses one of signals between these [which were inputted] two signals, and is outputted to said delay circuit.

[Claim 2] The semiconductor integrated circuit according to claim 1 characterized by having said delay circuit which outputs the maintenance clock signal which controls said holding circuit with which the signal output side of said memory circuit was equipped, and said holding circuit obtained by having delayed said memory clock signal, and said selection circuitry which can change selection with said memory clock signal and said maintenance clock signal with a selection signal.

[Claim 3] The semiconductor integrated circuit according to claim 1 or 2 characterized by having the oscillator circuit which carries out oscillation actuation in said selection circuitry and said delay circuit.

[Claim 4] The semiconductor integrated circuit according to claim 1 to 3 characterized by having the selection-signal line pulled out by the exterior of a semiconductor chip, a signal output terminal for observing the signal output from said holding circuit, and a signal terminal for observing said maintenance clock signal from said selection circuitry for controlling signal selection of said selection circuitry from the outside.

[Claim 5] For the power source supplied to the inverter circuit of the odd level which can constitute a ring oscillator, and other circuits in said semiconductor integrated circuit, said delay circuit is a semiconductor integrated circuit according to claim 1 to 4 characterized by having independently the delay circuit power-source line which can supply a power source.

[Claim 6] The 2nd selection circuitry which inputs the output signal from the last stage of said inverter circuit train, and the output signal from the stage in the middle of said inverter circuit train, and chooses and outputs one of signals between these [which were inputted] two signals, The semiconductor integrated circuit according to claim 1 to 5 characterized by having the 2nd selection-signal line pulled out by the exterior of a semiconductor from said 2nd selection circuitry for controlling signal selection of said 2nd selection circuitry from the outside.

[Claim 7] The semiconductor integrated circuit according to claim 1 to 6 characterized by having a flip-flop circuit as said holding circuit.

[Claim 8] The semiconductor integrated circuit according to claim 1 to 6 characterized by having a latch circuit as said holding circuit.

[Claim 9] The memory clock signal which is one side which is the measuring method of the access time of a memory circuit, and was inputted into the delay circuit from the

selection circuitry It is delayed from said delay circuit, and outputs, and the timing to which said holding circuit holds data is determined as a maintenance clock signal of a holding circuit. The signal input of said memory circuit If a memory clock signal inputs into a memory circuit, it will become the data output by which only the access time of a memory circuit was delayed, and this data output will be inputted into said holding circuit. By adjustment of the amount of delay of said delay circuit The phase contrast of said maintenance clock signal over said memory clock signal is changed. Said holding circuit considers as the minimum phase contrast which can hold said data output, and changes the output selection of said selection circuitry. With carrying out a feedback input, and choosing and outputting said maintenance clock signal outputted from said delay circuit to said selection circuitry to said delay circuit Said selection circuitry and said delay circuit operate as oscillator circuits. The oscillation period of this oscillator circuit Since it was proportional to the amount of delay of said delay circuit, pulled out said oscillation period out of the semiconductor chip. The access-time measuring method of a memory circuit characterized by measuring said oscillation period from the signal terminal of said maintenance clock signal of said holding circuit, and being able to measure the access time of said memory circuit by calculating the amount of delay of said delay circuit.

[Claim 10] The storage with which the program which can perform the access-time measuring method of the memory circuit indicated by claim 9 was recorded.

[Translation done.]